

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/60 (2006.01)

H05F 3/04 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510125017.0

[45] 授权公告日 2008 年 10 月 22 日

[11] 授权公告号 CN 100428464C

[22] 申请日 2005.11.11

[21] 申请号 200510125017.0

[73] 专利权人 矽统科技股份有限公司

地址 中国台湾新竹科学园区研新一路 16 号

[72] 发明人 柯明道 李健铭

[56] 参考文献

CN1532929A 2004.9.29

US5932916A 1999.8.3

CN1501757A 2004.6.2

审查员 黄金卫

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 任永武

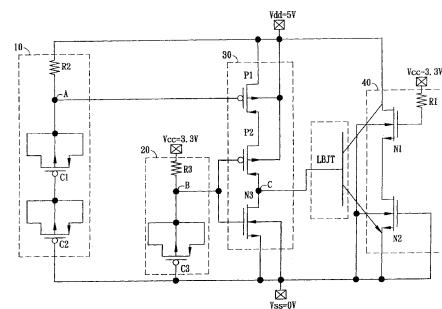
权利要求书 7 页 说明书 9 页 附图 7 页

[54] 发明名称

利用低压元件排除静电的高压电源静电放电保护电路

[57] 摘要

本发明揭示一种静电放电保护电路，主要包含一堆叠 MOS 电路，一触发电流产生电路。堆叠 MOS 电路的目的在于用作静电电流的释放路径；而触发电流产生电路的目的在于产生触发信号以导通堆叠 MOS 电路，使堆叠 MOS 电路形成一释放路径以释放静电电压。



1. 一种静电放电保护电路，其中包含：

一第一静电检测电路，其第一端连结至一第一输入端，其第二端连结至一接地端，其第三端输出一第一静电检测信号；

一第二静电检测电路，其第一端连结至一第二输入端，其第二端连结至该接地端，其第三端输出一第二静电检测信号；

一触发电流产生电路，其第一端连结至该第一输入端，其第二端连结至该接地端，其第三端接收该第一静电检测信号，其第四端接收该第二静电检测信号，其第五端输出一触发信号；

一侧面双载子接面晶体管，其基极接收该触发信号；及

一堆叠 MOS 电路，包含一第一 NMOS、一第二 NMOS 以及一第一电阻，其中该第一 NMOS 的漏极连结该第一输入端以及该侧面双载子接面晶体管的集电极，该第一 NMOS 的栅极连结该第一电阻的第一端，该第一 NMOS 的源极连结该第二 NMOS 的漏极，该第二 NMOS 的源极连结该接地端以及该侧面双载子接面晶体管的发射极，该第二 NMOS 的栅极也连结该接地端，该第一 NMOS 与该第二 NMOS 的基底也共同连结至该接地端，该第一电阻的第二端连结该第二输入端；

其中当该第一输入端的一静电电压高于一预设值时，该触发电流产生电路会输出该触发信号，使该堆叠 MOS 电路成为一静电放电路径以排除该静电电压。

2. 如权利要求 1 所述的静电放电保护电路，其特征在于所述的触发电流产生电路包含：

一第一 PMOS，该第一 PMOS 的漏极连结于该第一输入端，该第一 PMOS 的栅极接收该第一静电检测信号；

一第二 PMOS，该第二 PMOS 的漏极连结于该第一 PMOS 的源极，该第二 PMOS 与该第一 PMOS 的基底共同连结于该第一输入端；及

一第三 NMOS，该第三 NMOS 与该第二 PMOS 的栅极共同连结并接收

该第二静电检测信号，该第三 NMOS 的漏极与该第二 PMOS 的源极相联结并输出该触发信号，该第三 NMOS 的基底与源极共同联结于该接地端。

3. 如权利要求 2 所述的静电放电保护电路，其特征在于所述的第一静电检测电路包含：

一第二电阻，其第一端联结于该第一输入端，其第二端输出该第一静电检测信号；

一第一电容，其第一端联结于该第二电阻的该第二端；及

一第二电容，其第一端联结于该第一电容的第二端，其第二端联结于该接地端。

4. 如权利要求 3 所述的静电放电保护电路，其特征在于所述的第二静电检测电路包含：

一第三电阻，其第一端联结于该第二输入端，其第二端会输出该第二静电检测信号；及

一第三电容，其第一端联结于该第三电阻的该第二端，其第二端联结于该接地端。

5. 如权利要求 4 所述的静电放电保护电路，其特征在于所述的第一电容、第二电容以及第三电容是利用金属氧化物半导体场效应晶体管所构成的电容。

6. 如权利要求 5 所述的静电放电保护电路，其特征在于所述的侧面双载子接面晶体管为寄生双载子接面晶体管。

7. 如权利要求 1 所述的静电放电保护电路，其特征在于所述的触发电流产生电路包含一第一 PMOS、一第二 PMOS、一第三 PMOS、一第三 NMOS、一第四 NMOS 以及一第五 NMOS；其中，该第一 PMOS 的漏极与基底、该第二 PMOS 的基底以及该第三 PMOS 的漏极与基底，全部联结于该第一输入端；该第一 PMOS 与该第三 PMOS 的栅极共同联结，并接收该第一静电检测信号；该

第一 PMOS 的源极与该第二 PMOS 的漏极共同连结；该第三 PMOS 的源极与该第四 NMOS 的漏极共同连结；该第二 PMOS、第三 NMOS 以及第五 NMOS 的栅极共同连结并接收该第二静电检测信号；该第二 PMOS 的源极、该第三 NMOS 的漏极以及该第四 NMOS 的栅极共同连结；该第四 NMOS 的源极与该第五 NMOS 的漏极共同连结并输出该触发信号；该第四 NMOS 与该第五 NMOS 的基底、该第五 NMOS 的源极、该第三 NMOS 的基底与源极则共同连结于该接地端。

8. 如权利要求 7 所述的静电放电保护电路，其特征在于所述的第一静电检测电路包含：

一第二电阻，其第一端连结于该第一输入端，其第二端会输出该第一静电检测信号；

一第一电容，其第一端连结于该第二电阻的该第二端；及

一第二电容，其第一端连结于该第一电容的第二端，其第二端连结于该接地端。

9. 如权利要求 8 所述的静电放电保护电路，其特征在于所述的第二静电检测电路包含：

一第三电阻，其第一端连结于该第二输入端，其第二端会输出该第二静电检测信号；及

一第三电容，其第一端连结于该第三电阻的该第二端，其第二端连结于该接地端。

10. 如权利要求 9 所述的静电放电保护电路，其特征在于所述的第一电容、第二电容以及第三电容是利用金属氧化物半导体场效应晶体管所构成的电容。

11. 如权利要求 10 所述的静电放电保护电路，其特征在于所述的侧面双载子接面晶体管为寄生双载子接面晶体管。

12. 一种静电放电保护电路，其特征在于包含：

一第一静电检测电路，其第一端连结至一第一输入端，其第二端连结至一接地端，其第三端输出一第一静电检测信号；

一第二静电检测电路，其第一端连结至一第二输入端，其第二端连结至该接地端，其第三端输出一第二静电检测信号；

一栅极驱动电路，其第一端连结至该第一输入端，其第二端连结至该接地端，其第三端接收该第一静电检测信号，其第四端接收该第二静电检测信号，其第五端输出一第一栅极驱动信号，其第六端输出一第二栅极驱动信号；及

一堆叠 MOS 电路，包含一第一 NMOS 以及一第二 NMOS，其中该第一 NMOS 的漏极连结该第一输入端，该第一 NMOS 的栅极接收该第一栅极驱动信号，该第一 NMOS 的源极连结该第二 NMOS 的漏极，该第二 NMOS 的源极连结该接地端，该第二 NMOS 的栅极接收该第二栅极驱动信号，该第一 NMOS 与该第二 NMOS 的基底也共同连结至该接地端；

其中当该第一输入端的一静电电压高于一预设值时，该栅极驱动电路会输出该第一栅极驱动信号以及该第二栅极驱动信号，使该堆叠 MOS 电路成为一静电放电路径以排除该静电电压。

13. 如权利要求 12 所述的静电放电保护电路，其特征在于所述的栅极驱动电路包含一第一 PMOS、一第二 PMOS、一第三 PMOS、一第一电阻以及一第三 NMOS；其中该第一 PMOS 的漏极与基底、该第三 PMOS 的漏极与基底，以及该第二 PMOS 的基底共同连结于该第一输入端；该第一 PMOS 与该第三 PMOS 的栅极共同连结并接收该第一静电检测信号；该第一 PMOS 的源极与该第二 PMOS 的漏极共同连结；该第二 PMOS 与该第三 NMOS 的栅极以及该第一电阻的第一端共同连结，并接收该第二静电检测信号；该第一电阻的第二端与该第三 PMOS 的源极共同连结，并输出该第一栅极驱动信号；该第二 PMOS 的源极与该第三 NMOS 的漏极共同连结并输出该第二栅极驱动信号；该第三 NMOS 的基底与源极则共同连结至该接地端。

14. 如权利要求 13 所述的静电放电保护电路，其特征在于所述的第一静电

检测电路包含：

一第二电阻，其第一端连结于该第一输入端，其第二端会输出该第一静电检测信号；

一第一电容，其第一端连结于该第二电阻的该第二端；及

一第二电容，其第一端连结于该第一电容的第二端，其第二端连结于该接地端。

15. 如权利要求 14 所述的静电放电保护电路，其特征在于所述的第二静电检测电路包含：

一第三电阻，其第一端连结于该第二输入端，其第二端会输出该第二静电检测信号；及

一第三电容，其第一端连结于该第三电阻的该第二端，其第二端连结于该接地端。

16. 如权利要求 15 所述的静电放电保护电路，其特征在于所述的第一电容、第二电容以及第三电容是利用金属氧化物半导体场效应晶体管所构成的电容。

17. 如权利要求 12 所述的静电放电保护电路，其特征在于所述的栅极驱动电路包含一第一 PMOS、一第二 PMOS、一第三 PMOS、一第四 PMOS、一第一电阻、一第三 NMOS、一第四 NMOS 以及一第五 NMOS；其中该第一 PMOS 的漏极与基底、该第二 PMOS 的基底、该第三 PMOS 与该第四 PMOS 的漏极与基底，都共同连结于该第一输入端；该第一 PMOS、第三 PMOS 以及该第四 PMOS 的栅极都共同连结，并接收该第一静电检测信号；该第四 PMOS 的源极与该第一电阻的第二端共同连结并输出该第一栅极驱动信号；该第一电阻的第一端、该第二 PMOS 的栅极、该第三 NMOS 的栅极以及该第五 NMOS 的栅极共同连结，并接收该第二静电检测信号；该第二 PMOS 的源极、该第三 NMOS 的漏极以及该第四 NMOS 的栅极共同连结；该第四 NMOS 的源极与该第五 NMOS 的漏极共同连结并输出该第二栅极驱动信号；该第三 NMOS 的源极与基

底、该第五 NMOS 的源极与基底以及该第四 NMOS 的基底，都共同连结于该接地端；该第一 PMOS 的源极与该第二 PMOS 的漏极共同连结；该第三 PMOS 的源极与该第四 NMOS 的漏极共同连结。

18. 如权利要求 17 所述的静电放电保护电路，其特征在于所述的第一静电检测电路包含：

一第二电阻，其第一端连结于该第一输入端，其第二端会输出该第一静电检测信号；

一第一电容，其第一端连结于该第二电阻的该第二端；及

一第二电容，其第一端连结于该第一电容的第二端，其第二端连结于该接地端。

19. 如权利要求 18 所述的静电放电保护电路，其特征在于所述的第二静电检测电路包含：

一第三电阻，其第一端连结于该第二输入端，其第二端会输出该第二静电检测信号；及

一第三电容，其第一端连结于该第三电阻的该第二端，其第二端连结于该接地端。

20. 如权利要求 19 所述的静电放电保护电路，其特征在于所述的第一电容、第二电容以及第三电容是利用金属氧化物半导体场效应晶体管所构成的电容。

21. 如权利要求 12 所述的静电放电保护电路，其特征在于所述的栅极驱动电路包含一第一 PMOS、一第二 PMOS、一第三 PMOS、一第一电阻、一第三 NMOS、一第四 NMOS 以及一第四电容；其中该第一 PMOS 的漏极与基底、该第二 PMOS 的基底、该第三 PMOS 的漏极与基底以及该第一电阻的第一端，都共同连结于该第一输入端；该第一 PMOS 的栅极接收该第一静电检测信号；该第二 PMOS 与该第三 NMOS 的栅极共同连结并接收该第二静电检测信号；该

第三 NMOS 的基底与源极共同连结于该接地端；该第二 PMOS 的源极与该第三 NMOS 的漏极共同连结并输出该第二栅极驱动信号；该第一 PMOS 的源极与该第二 PMOS 的漏极共同连结；该第一电阻的第二端、该第三 PMOS 与该第四 NMOS 的栅极以及该第四电容的第一端共同连结；该第四 NMOS 的基底与源极以及该第四电容的第二端共同连结于该第二输入端；该第三 PMOS 的源极与该第四 NMOS 的漏极共同连结并输出该第一栅极驱动信号。

22. 如权利要求 21 所述的静电放电保护电路，其特征在于所述的第一静电检测电路包含：

一第二电阻，其第一端连结于该第一输入端，其第二端会输出该第一静电检测信号；

一第一电容，其第一端连结于该第二电阻的该第二端；及

一第二电容，其第一端连结于该第一电容的第二端，其第二端连结于该接地端。

23. 如权利要求 22 所述的静电放电保护电路，其特征在于所述的第二静电检测电路包含：

一第三电阻，其第一端连结于该第二输入端，其第二端会输出该第二静电检测信号；及

一第三电容，其第一端连结于该第三电阻的该第二端，其第二端连结于该接地端。

24. 如权利要求 23 所述的静电放电保护电路，其特征在于所述的第一电容、第二电容以及第三电容是利用金属氧化物半导体场效应晶体管所构成的电容。

利用低压元件排除静电的高压电源静电放电保护电路

技术领域

本发明有关一种静电放电(ESD)的保护电路，特别是有关一种利用低压元件于静电产生时将其排除的静电放电保护电路。

背景技术

在精密的电子装置中，由于电路元件的微小化，以及精密的程度大幅提升，所以这类精密电子装置，特别是内部的微小电子元件对于来自工作环境中所产生的，或是来自使用者接触该电子装置时所引入的静电，都非常的敏感且需要受到保护。

因此，在多数的精密电子装置中，皆需要额外设计一静电放电保护电路来适当地排除可能发生的静电，以保护在电子装置内的电路，其中的电子元件不会因为静电所带来的高压而受到破坏。

如图1所显示，为一个传统堆叠NMOS的静电放电电路的I-V曲线图。在图1中，横向座标为漏极至源极的电压差，而纵向座标为漏极电流值。图中表示，当漏极至源极的电压差逐步的累积上升时，漏极电流值也会相应地上升；而直到漏极至源极的电压差值超出了一触发电压(trigger voltage)值之后，则会发生穿透(punch through)效应因而使得漏极至源极的电值差值开始弹回(snap-back)，直到下降至一维持电压(holding voltage)值为止。从触发电压到维持电压之间的电压值差距则称为弹回区(snap-back region)。此外，当漏极至源极的电压差回到维持电压后，之后的电压差值则是呈现平缓地增加，且此时漏极电流也会相应性地上升。

由以上所述可知，当静电电压值若大过于触发电压值时，则会因会穿透效应的缘故而使得作为静电保护电路的堆叠 NMOS 被导通，故静电电流可以通过堆叠 NMOS 而被接地释放，达到保护内部电子元件不受静电破坏的目的。但传统的堆叠 NMOS 静电保护电路的缺点在于，如果静电电压值并未大于触发电压值，则此静电保护电路无法被导通，亦即无法排除静电电流因而该静电电流会持续被保留在电子装置之中成为一个不稳定的因素，使得使用者无法预期何时会对电子装置造成重大的破坏。

图 2 显示一集成电路中的传统堆叠 NMOS 静电保护电路。该集成电路的目的是作为连结不同工作电压的半导体芯片或是子系统的界面，所以内部具有混合电压，电压值分别为 V_{dd} 以及 V_{cc} 。从图 2 中可以看到在集成电路其中的一个 I/O 焊垫连结到内部电路之外，也连结到第一个 NMOS (即 NMOS1) 的漏极(drain)，而 NMOS1 的栅极(gate)则连结至电源 V_{dd} ，NMOS1 的源极(source)与第二个 NMOS (即 NMOS2) 的漏极相连结，NMOS2 的栅极(gate)则连结至电源 V_{cc} ，最后，NMOS2 的源极连结到接地端。

在图 2 中的 NMOS1 与 NMOS2 以串联结构(cascade configuration)作堆叠，两者相连的节点形成一扩散区，所以在堆叠 NMOS 的内部可视为存在一个寄生双载子接面晶体管(lateral bipolar junction transistor)。当静电电压值大过于触发电压时，则此寄生双载子接面晶体管会被导通而使得静电可以被排出内部电路。但如图 1 中所述，若静电电压值并未超过触发电压时，则此时寄生双载子接面晶体管无法被导通而造成静电持续被保留在集成电路内，最后会造成 I/O 焊垫内部的 I/O 缓冲器的 MOS 栅极氧化层(gate oxide)损坏。因为在一个混合电压 I/O 电路中，MOS 栅极氧化层的崩溃电压(breakdown voltage)会变小，所以会被堆积在集成电路内部的静电破坏。

鉴于上述在传统静电放电保护电路中，当静电电流存在于电路中但又不大于触发电压时，会造成该保护电路无法被启动的情形，因此亟需要提出一个对于静电存在以及静电的排除更灵敏的静电保护电路，能够对于未达到触发电压值的静

电作排除以保护集成电路内部的电子元件免于被损坏。

发明内容

鉴于上述的先前技术中，传统静电放电保护电路的诸多缺点，本发明的主要目的在于提出一种静电放电保护电路，其对于静电排除的灵敏度更高，可以对较小的静电电压立即作反应。

本发明的另一目的在于提出一种静电放电保护电路，电路是由低耐压的电子元件所构成，但可以负荷高电压值的静电通过，以达到释放静电的效果。

根据以上所述的目的，本发明提供了一种静电放电保护电路，其中包含：一第一静电检测电路，其输出一第一静电检测信号；一第二静电检测电路，其输出一第二静电检测信号；一触发电流产生电路，其接收第一静电检测信号以及第二静电检测信号，然后输出一触发信号；一侧面双载子接面晶体管，其基极接收触发信号；以及一堆叠 MOS 电路，当一静电电压高于一预设值时，那么触发电流产生电路会输出触发信号，透过侧面双载子接面晶体管使堆叠 MOS 电路被导通，而成为一静电放电路径以排除静电电压。

附图说明

图 1 是显示传统堆叠 NMOS 电路的 I-V 曲线图；

图 2 是显示一传统堆叠 NMOS 的电路图；

图 3 是显示本发明的一较佳实施例的静电放电保护电路图；

图 4 是显示本发明另一较佳实施例的静电放电保护电路图；

图 5 是显示本发明另一较佳实施例的静电放电保护电路图；

图 6 是显示本发明另一较佳实施例的静电放电保护电路图；及

图 7 是显示本发明另一较佳实施例的静电放电保护电路图。

具体实施方式

本发明的一些实施例会详细描述如下。然而，除了详细描述外，本发明

还可以广泛地在其他的实施例中施行，且本发明的范围不受限定，其以之后的权利要求范围为准。

本发明揭示一种静电放电 (ESD) 保护电路，可以应用于具有混合电源的集成电路内部。在这一类的集成电路中，通常具有两个以上不同电压的输入端，本发明所揭示的静电放电保护电路，其目的便是作为集成电路的各个电压输入端与接地端之间的一界面电路，当静电产生时，能够使静电在破坏集成电路的内部元件之前，便将静电由接地端排出。

图 3 中显示符合本发明一实施例的静电放电保护电路，其中包含：一第一静电检测电路 10、一第二静电检测电路 20、一触发电流产生电路 30、一侧面双载子接面晶体管 LBJT (Lateral Bipolar Junction Transistor)，以及一堆叠 MOS 电路 40。其中侧面双载子接面晶体管 LBJT 是堆叠 MOS 电路 40 中的两个 NMOS，因为两者相连的节点形成一公共扩散区，因而造成一寄生双载子接面晶体管。堆叠 MOS 电路 40 包含一第一 NMOS (本文以下称 N1)、一第二 NMOS (本文以下称 N2) 以及一第一电阻 R1。其中 N1 的漏极连结第一电压输入端 Vdd 以及侧面双载子接面晶体管 LBJT 的集电极，N1 的栅极连结第一电阻 R1 的第一端，N1 的源极连结 N2 的漏极，N2 的源极连结接地端 Vss 以及侧面双载子接面晶体管 LBJT 的发射极，N2 的栅极连结接地端 Vss，N1 与 N2 的基底也共同连结至接地端 Vss，第一电阻 R1 的第二端连结第二电压输入端 Vcc。

第一静电检测电路 10 包含一第二电阻 R2、一第一电容 C1，以及一第二电容 C2。其中第二电阻 R2，其第一端连结于第一电压输入端 Vdd，其第二端会输出第一静电检测信号；第一电容 C1，其第一端连结于第二电阻 R2 的第二端；第二电容 C2，其第一端连结于第一电容 C1 的第二端，其第二端连结于接地端 Vss。而第二静电检测电路 20 包含一第三电阻 R3 以及一第三电容 C3。第三电阻 R3 其第一端连结于第二电压输入端 Vcc，其第二端会输出第二静电检测信号；第三电容 C3 其第一端连结于第三电阻 R3 的第二端，其第二端连结于接地端 Vss。

触发电流产生电路 30 包含一第一 PMOS(本文以下称 P1)、一第二 PMOS(本文以下称 P2), 以及一第三 NMOS(本文以下称 N3)。P1 的漏极连结于第一电压输入端 Vdd, P1 的栅极接收第一静电检测信号; P2 的漏极连结于 P1 的源极, P2 与 P1 的基底共同连结于第一电压输入端 Vdd; N3 与 P2 的栅极共同连结并接收第二静电检测信号, N3 的漏极与 P2 的源极相连结并输出触发信号, N3 的基底与源极共同连结于接地端 Vss。

当一静电电压发生于第一电压输入端 Vdd 时, 则此时节点 A 与节点 B 分别送出具有低电压位准的第一静电检测信号以及第二静电检测信号, 而使得 P1 与 P2 的栅极接收该低电压位准, 因此 P1 与 P2 皆成为导通状态, 然后一触发电流经由 P1 与 P2 所构成的路径, 作为一触发信号而输出到侧面双载子接面晶体管 LBJT 的基极(即节点 C)。因此使得侧面双载子接面晶体管 LBJT 被导通, 也就是等同于 N1 与 N2 同时都导通, 所以在第一电压输入端 Vdd 与接地端 Vss 之间, 这时 N1 与 N2 构成了一静电放电路径, 使得前述的静电电压会通过此静电放电路径排除, 因而达成保护集成电路内部元件的目的。

图 4 显示符合本发明的另一实施例。其中图 4 为相似于图 3 的一电路实施例, 图 4 的触发电流产生电路 50 为两图间的差异之处, 以下将针对触发电流产生电路 50 作详细的说明。

触发电流产生电路 50 包含一第三 PMOS(本文以下称 P3)、一第四 PMOS(本文以下称 P4)、一第五 PMOS(本文以下称 P5)、一第四 NMOS(本文以下称 N4)、一第五 NMOS(本文以下称 N5), 以及一第六 NMOS(本文以下称 N6)。其中 P3 的漏极与基底、P4 的基底以及 P5 的漏极与基底, 全部连结于第一电压输入端 Vdd; P3 与 P5 的栅极共同连结, 并接收第一静电检测信号; P3 的源极与 P4 的漏极共同连结; P5 的源极与 N5 的漏极共同连结; P4、N4, 以及 N6 的栅极共同连结并接收第二静电检测信号; P4 的源极、N4 的漏极, 以及 N5 的栅极共同连结; N5 的源极与 N6 的漏极共同连结并输出触发信号; N5 与 N6 的基底、

N6 的源极、N4 的基底与源极则共同连结于接地端 V_{cc} 。

当一静电电压发生于第一电压输入端 V_{dd} 时，则此时节点 A 与节点 B 分别送出具有低电压位准的第一静电检测信号以及第二静电检测信号，而使得 P3、P4 与 P5 皆成为导通状态。P3 与 P4 的导通构成了一路径，使得第一电压输入端 V_{dd} 通过此路径传送一电流至节点 D，而导致 N5 被导通。此时，P5 与 N5 皆为导通状态，因此一触发电流经由 P5 与 N5 所构成的路径，作为一触发信号而输出到侧面双载子接面晶体管 LBJT 的基极（即节点 E）。使得侧面双载子接面晶体管 LBJT 被导通，也就是等同于 N1 与 N2 同时都导通，所以在第一电压输入端 V_{dd} 与接地端 V_{ss} 之间，这时 N1 与 N2 构成了一静电放电路径，让前述的静电电压会通过此静电放电路径排除，因而达成保护集成电路内部元件的目的。

图 5 显示符合本发明另一实施例的静电放电保护电路，其中包含：一第一静电检测电路 60、一第二静电检测电路 70、一栅极驱动电路 90，以及一堆叠 MOS 电路 80。其中堆叠 MOS 电路 80，包含一第七 NMOS（本文以下称 N7）以及一第八 NMOS（本文以下称 N8），其中 N7 的漏极连结第一电压输入端 V_{dd} ，N7 的栅极接收第一栅极驱动信号，N7 的源极连结 N8 的漏极，N8 的源极连结接地端 V_{ss} ，N8 的栅极接收第二栅极驱动信号，N7 与 N8 的基底也共同连结至接地端 V_{ss} 。

第一静电检测电路 60 包含一第四电阻 R4、一第四电容 C4 以及一第五电容 C5。第四电阻 R4 其第一端连结于第一电压输入端 V_{dd} ，其第二端会输出第一静电检测信号；第四电容 C4 其第一端连结于第四电阻 R4 的第二端；第五电容 C5 其第一端连结于第四电容 C4 的第二端，其第二端连结于接地端 V_{ss} 。第二静电检测电路 70 包含一第五电阻 R5 以及一第六电容 C6。其中第五电阻 R5 的第一端连结于第二电压输入端 V_{cc} ，其第二端会输出第二静电检测信号；第六电容 C6，其第一端连结于第五电阻 R5 的第二端，其第二端连结于接地端 V_{ss} 。

栅极驱动电路 90 包含一第六 PMOS (本文以下称 P6)、一第七 PMOS (本文以下称 P7)、一第八 PMOS (本文以下称 P8)、一第六电阻 R6 以及一第九 NMOS (本文以下称 N9)。其中 P6 的漏极与基底、P8 的漏极与基底, 以及 P7 的基底共同连结于第一电压输入端 Vdd; P6 与 P8 的栅极共同连结并接收第一静电检测信号; P6 的源极与 P7 的漏极共同连结; P7 与 N9 的栅极, 以及第六电阻 R6 的第一端共同连结, 并接收第二静电检测信号; 第六电阻 R6 的第二端与 P8 的源极共同连结, 并输出第一栅极驱动信号; P7 的源极与 N9 的漏极共同连结并输出第二栅极驱动信号; N9 的基底与源极则共同连结至接地端 Vss。

当一静电电压发生于第一电压输入端 Vdd 时, 则此时节点 F 与节点 G 分别送出具有低电压位准的第一静电检测信号以及第二静电检测信号, 而使得 P6、P8 与 P7 皆成为导通状态。P6 与 P7 的导通构成了一路径, 使得第一电压输入端 Vdd 通过此路径传送一电流至节点 I, 作为第二栅极驱动信号而导致 N8 被导通。此外, P8 的导通构成了一路径, 使得第一电压输入端 Vdd 通过此路径传送一电流至节点 H, 作为第一栅极驱动信号而导致 N7 被导通。此时, N7 与 N8 皆为导通状态, 所以在第一电压输入端 Vdd 与接地端 Vss 之间, 这时 N7 与 N8 构成了一静电放电路径, 让前述的静电电压会通过此静电放电路径排除, 因而达成保护集成电路内部元件的目的。

图 6 显示符合本发明的另一实施例。其中图 6 为相似于图 5 的一电路实施例, 图 6 的栅极驱动电路 100 为两图间的差异之处, 以下将针对此栅极驱动电路 100 作详细的说明。

栅极驱动电路 100 包含一第九 PMOS (本文以下称 P9)、一第十 PMOS (本文以下称 P10)、一第十一 PMOS (本文以下称 P11)、一第十二 PMOS (本文以下称 P12)、一第七电阻 R7、一第十 NMOS (本文以下称 N10)、一第十一 NMOS (本文以下称 N11), 以及一第十二 NMOS (本文以下称 N12); 其中 P9 的漏极与基底、P10 的基底、P11 与 P12 的漏极与基底, 都共同连结于第一电压输入端 Vdd; P9、P11, 以及 P12 的栅极都共同连结, 并接收第一静电检测信号; P12 的源极与

第七电阻 R7 的第二端共同连结并输出第一栅极驱动信号；第七电阻 R7 的第一端、P10 的栅极、N10 的栅极，以及 N12 的栅极共同连结，并接收第二静电检测信号；P10 的源极、N10 的漏极，以及 N11 的栅极共同连结；N11 的源极与 N12 的漏极共同连结并输出第二栅极驱动信号；N10 的源极与基底、N12 的源极与基底，以及 N11 的基底，都共同连结于接地端 Vss；P9 的源极与 P10 的漏极共同连结；P11 的源极与 N11 的漏极共同连结。

当一静电电压发生于第一电压输入端 Vdd 时，则此时节点 F 与节点 G 分别送出具有低电压位准的第一静电检测信号以及第二静电检测信号，而使得 P9、P10、P11 与 P12 皆成为导通状态。P12 的导通构成了一路径，使得第一电压输入端 Vdd 通过此路径传送一电流至节点 J，作为第一栅极驱动信号而导致 N7 被导通。P9 与 P10 的导通构成了一路径，使得第一电压输入端 Vdd 通过此路径传送一电流至节点 K，而导致 N11 被导通。此时 P11 与 N11 皆导通故而构成了一路径，使得第一电压输入端 Vdd 通过此路径传送一电流至节点 L，作为第二栅极驱动信号而导致 N8 被导通。于是最后 N7 与 N8 皆为导通状态，所以在第一电压输入端 Vdd 与接地端 Vss 之间，这时 N7 与 N8 构成了一静电放电路径，让前述的静电电压会通过此静电放电路径排除，因而达成保护集成电路内部元件的目的。

图 7 显示符合本发明的另一实施例。其中图 7 同样为相似于图 5 的一电路实施例，图 7 的栅极驱动电路 110 为两图间的差异之处，以下将针对此栅极驱动电路 110 作详细的说明。

栅极驱动电路 110 包含一第十三 PMOS(本文以下称 P13)、一第十四 PMOS(本文以下称 P14)、一第十五 PMOS(本文以下称 P15)、一第八电阻 R8、一第十三 NMOS(本文以下称 N13)、一第十四 NMOS(本文以下称 N14)，以及一第七电容 C7。其中 P13 的漏极与基底、P14 的基底、P15 的漏极与基底，以及第八电阻 R8 的第一端，都共同连结于第一电压输入端 Vdd；P13 的栅极接收第一静电检测信号；P14 与 N13 的栅极共同连结并接收第二静电检测信号；N13 的基底与源

极共同连结于接地端 V_{ss} ；P14 的源极与 N13 的漏极共同连结并输出第二栅极驱动信号；P13 的源极与 P14 的漏极共同连结；第八电阻 R8 的第二端、P15 与 N14 的栅极，以及第七电容 C7 的第一端共同连结；N14 的基底与源极，以及第七电容 C7 的第二端共同连结于第二电压输入端 V_{cc} ；P15 的源极与 N14 的漏极共同连结并输出第一栅极驱动信号。

当一静电电压发生于第一电压输入端 V_{dd} 时，则此时节点 F 与节点 G 分别送出具有低电压位准的第一静电检测信号以及第二静电检测信号，而使得 P13 与 P14 皆成为导通状态。此外，在节点 M 上也因为具有低电压位准而使得 P15 被导通。P15 的导通构成了一路径，使得第一电压输入端 V_{dd} 通过此路径传送一电流至节点 N，作为第一栅极驱动信号而让 N7 被导通。P13 与 P14 的导通构成了一路径，使得第一电压输入端 V_{dd} 通过此路径传送一电流至节点 O，作为第二栅极驱动信号而导致 N8 被导通。于是最后 N7 与 N8 皆为导通状态，所以在第一电压输入端 V_{dd} 与接地端 V_{ss} 之间，这时 N7 与 N8 构成了一静电放电路径，让前述的静电电压会通过此静电放电路径排除，因而达成保护集成电路内部元件的目的。

其中位于栅极驱动电路 110 内的 N14，是采用深层 N 型井(deep N well)的 NMOS 元件，其目的是使得 N14 的基底能够和源极共同连结于第二电压输入端 V_{cc} ，而不必让 N14 的基底连结至接地端 V_{ss} 。因此可以避免 N14 的栅极氧化层(gate oxide)因为栅极与基底两端电压差值过大而造成可能的损坏。

以上所述仅为本发明的较佳实施例，并非用以限定本申请权利要求范围；凡其它未脱离本发明所揭示的精神下所完成的等效改变或修饰，均应包含在下述的本申请权利要求范围中。

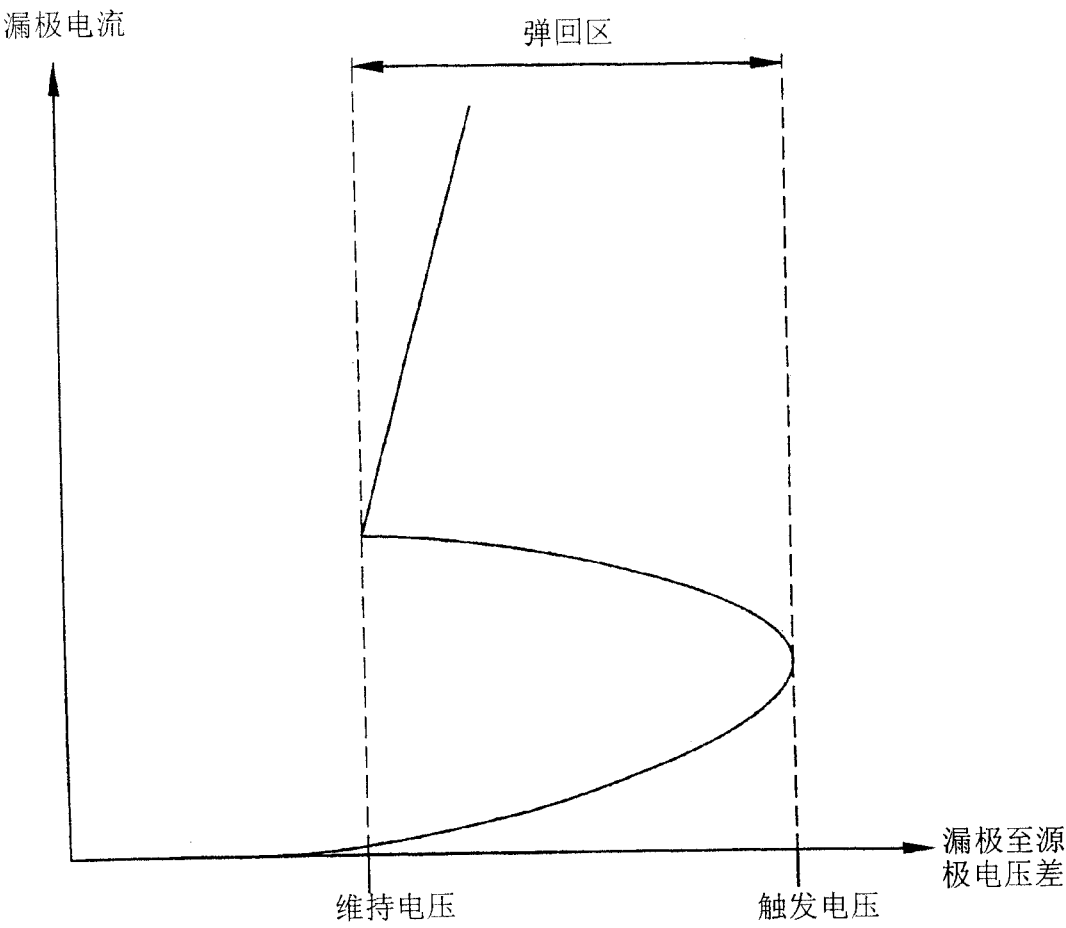


图 1

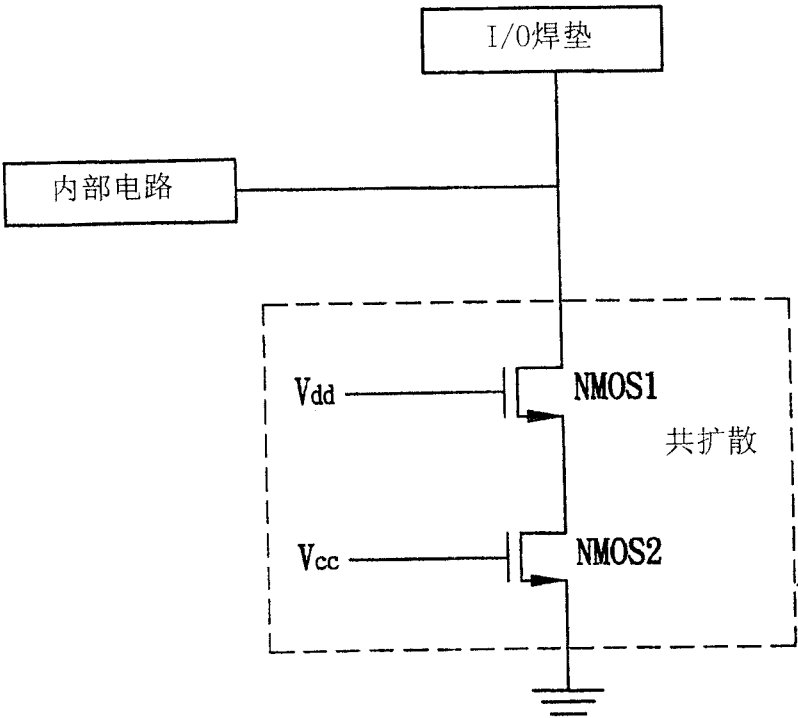
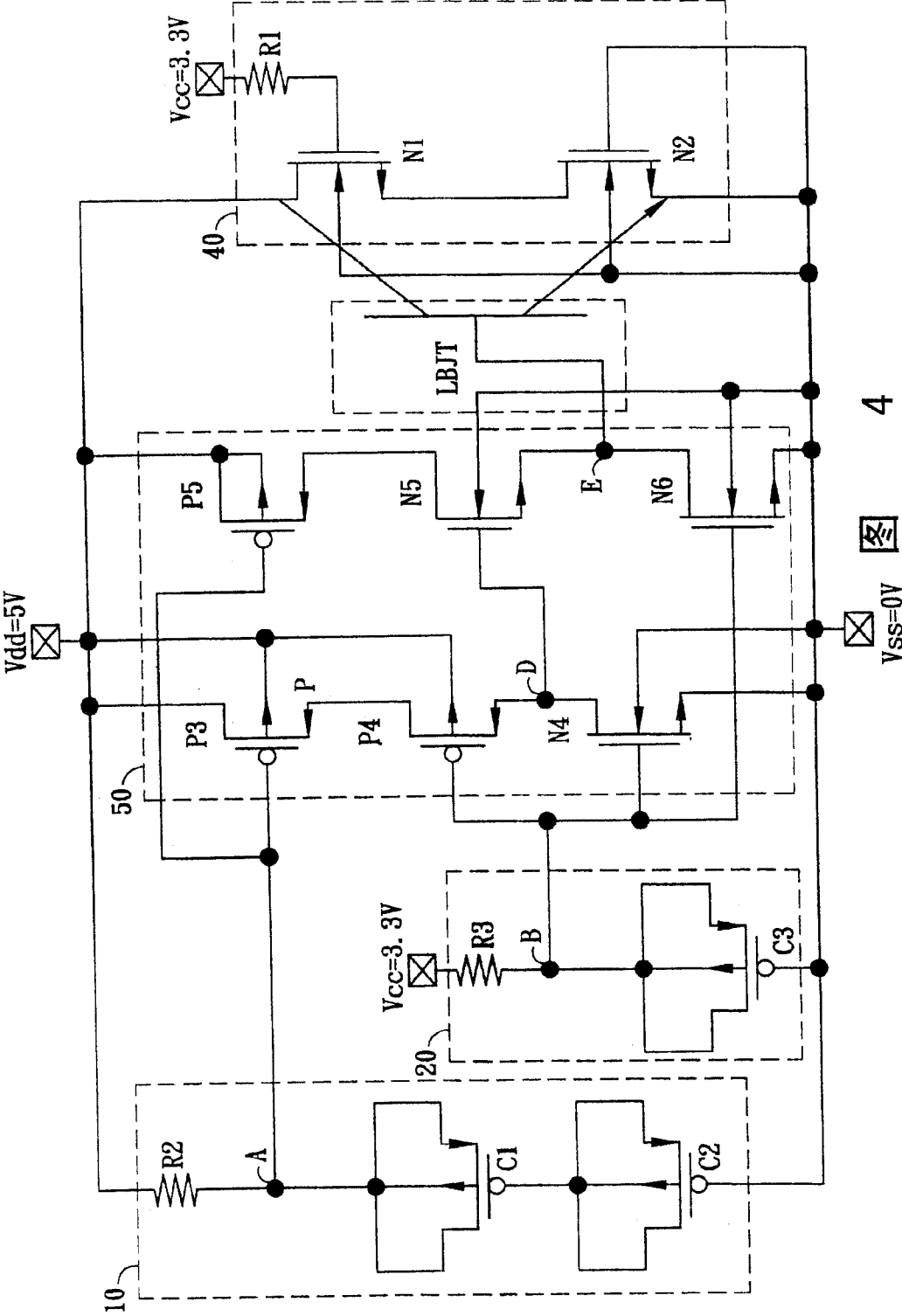


图 2



4

图

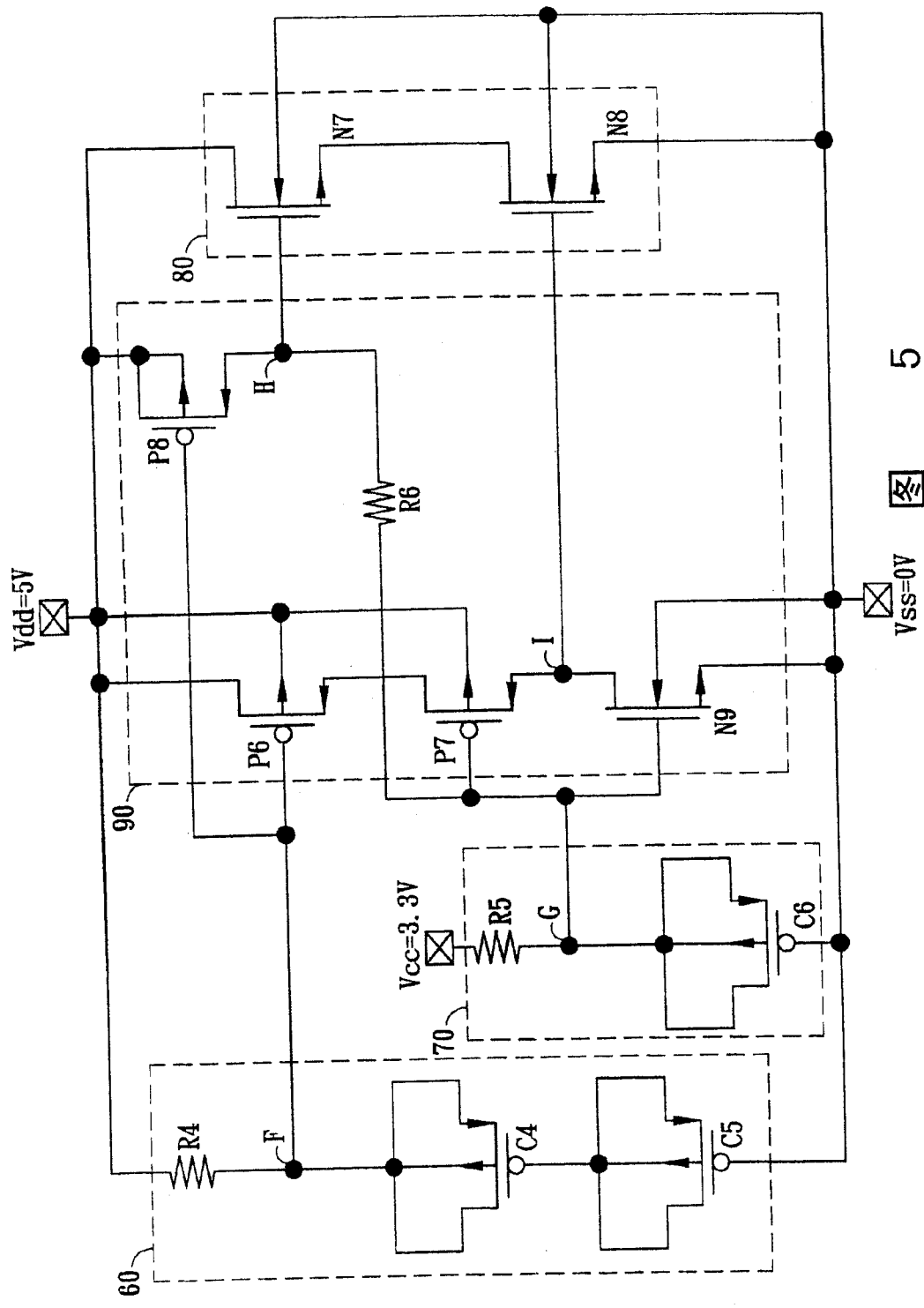


图 5

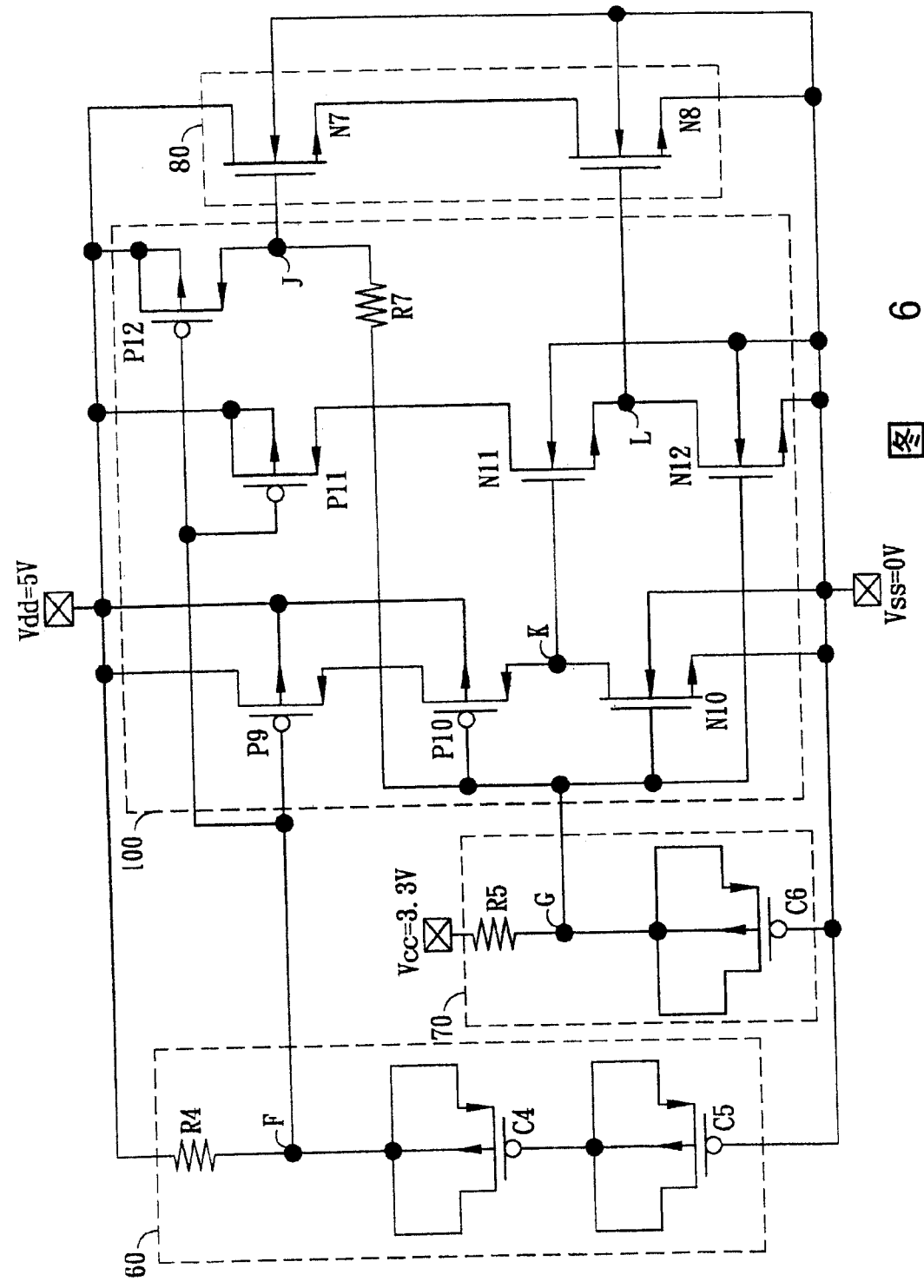


图 6

